

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Requested Patent: JP6160486A

Title:

LARGE CAPACITY TEST VECTOR BUFFER MEMORY FOR LSI TEST SYSTEM ;

Abstracted Patent: JP6160486 ;

Publication Date: 1994-06-07 ;

Inventor(s): IIDA YOSUKE ;

Applicant(s): ADVANTEST CORP ;

Application Number: JP19920313612 19921124 ;

Priority Number(s): ;

IPC Classification: G01R31/28 ; G01R31/318 ;

Equivalents:

ABSTRACT:

PURPOSE: To execute a diagnosis of all memory cells of a large capacity buffer memory at a high speed by providing a shift register to be connected to an output of a comparator for comparing an output of a parallel/serial converter with an expected value.

CONSTITUTION: Diagnosis data written in blocks 20-27 of a test vector buffer memory 2 are read, and temporarily respectively latched in latches 200-207. Then, the data are sent in parallel to a parallel/serial converter, and serial-converted. A serial output of the converter is compared with an expected value to be supplied from a diagnosis controller 1 in a comparator 9. An OR operation of discordance of a data direction is conducted through a discordance OR 10, and retained in FF stages 230-237 of a shift register 23. A discordance OR operation of an output of the register 23 to be operated at a clock period of 50nsec with an expected value of 8 cycles are conducted through an OR circuit 24, and supplied to a malfunction flag register 11.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-160486

(43) 公開日 平成6年(1994)6月7日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28 31/318		6912-2G 6912-2G	G 0 1 R 31/28	Q B

審査請求 未請求 請求項の数1 (全 5 頁)

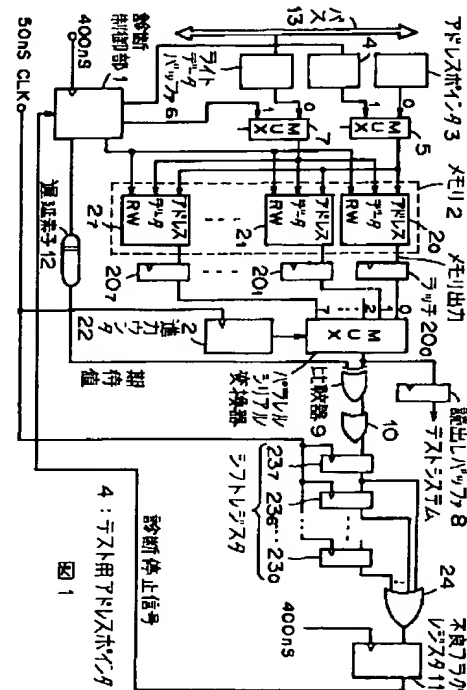
(21) 出願番号	特願平4-313612	(71) 出願人	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22) 出願日	平成4年(1992)11月24日	(72) 発明者	飯田 洋介 東京都練馬区旭町1丁目32番1号 株式会 社アドバンテスト内
		(74) 代理人	弁理士 草野 卓 (外1名)

(54) 【発明の名称】 L S I テストシステム用大容量テストベクトルバッファメモリ装置

(57) 【要約】

【目的】 メモリセルを高速診断するバッファメモリ装置を提供する。

【構成】 複数ブロックに分割されたバッファメモリ2を具備し、データ用アドレスポインタ3を具備し、診断テスト用アドレスポインタ4を具備し、ポインタ3およびポインタ4を切替えるマルチプレクサ5を具備し、マルチプレクサ5の出力は複数ブロックのアドレス入力に共通接続し、データおよび診断用データを切替えるマルチプレクサ7を具備し、マルチプレクサ7の出力は複数ブロックのデータ入力に共通接続し、複数ブロックの出力に接続するパラレルシリアル変換器21を具備し、変換器21の出力をテストシステムに供給する読出しバッファ8を具備し、変換器21の出力と期待値とを比較する比較器9を具備し、比較器9の出力に接続するシフトレジスタ23を具備する大容量バッファメモリ装置。



【特許請求の範囲】

【請求項1】 複数ブロックに分割されたテストベクトルバッファメモリを具備し、データ用アドレスポインタを具備し、診断テスト用アドレスポインタを具備し、データ用アドレスポインタおよび診断テスト用アドレスポインタから送り出されるアドレスを切換えるマルチプレクサを具備し、マルチプレクサの出力は複数ブロックそれぞれのアドレス入力に共通に接続し、データおよび診断用データを切換えるマルチプレクサを具備し、マルチプレクサの出力は複数ブロックそれぞれのデータ入力に共通に接続し、複数ブロックそれぞれの出力に接続するパラレルシリアル変換器を具備し、パラレルシリアル変換器の出力をL S Iテストシステムに供給する読出しバッファを具備し、パラレルシリアル変換器の出力と期待値とを比較する比較器を具備し、比較器の出力に接続するシフトレジスタを具備することを特徴とするL S Iテストシステム用大容量テストベクトルバッファメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、L S Iテストシステム用大容量テストベクトルバッファメモリ装置に関し、特に大容量バッファメモリ自体の全メモリセルの診断を高速に実施することができるL S Iテストシステム用大容量テストベクトルバッファメモリ装置に関する。

【0002】

【従来の技術】従来例を図2を参照して説明する。図2において、1は診断制御部であり、2はL S Iテストシステム用大容量テストベクトルバッファメモリである。3はデータ用アドレスポインタであり、データをテストベクトルバッファメモリ2に書き込む際のアドレスを指定するものである。4は診断テスト用アドレスポインタであり、診断制御部1により制御されて制御部から送り込まれる診断用データをテストベクトルバッファメモリ2に書き込む際のアドレスを指定するものである。データ用アドレスポインタ3および診断テスト用アドレスポインタ4のアドレス信号はテストベクトルバッファメモリ2に対してマルチプレクサ5により切換え供給される。

【0003】13はデータバスであり、上述のデータをテストベクトルバッファメモリ2に送り込むためのものである。6ライトデータバッファであり、データバス13を介して送り込まれるデータはライトデータバッファ6に一時的に保持されてテストベクトルバッファメモリ2に送り込まれる。データバス13を介して送り込まれるデータおよび診断制御部1から送り込まれる診断用データはテストベクトルバッファメモリ2に対してマルチプレクサ7により切換え供給される。

【0004】8は読出バッファであり、テストベクトルバッファメモリ2に書き込まれたデータを読出してこれをL S Iテストシステム20に送り出す。9は排他的論

理和回路より成る比較器であり、テストベクトルバッファメモリ2の出力と診断制御部1から供給される期待値とを順次に比較する。なお、12はタイミング調整用の微小遅延素子である。11は不良フラグレジスタであり、比較器9から不一致のOR回路10を介して供給される複数データビットの不一致のOR出力に基づいて、不良フラグを立てるものであり、これが立つと、診断停止信号を発生してこれを診断制御部1に供給し、診断動作を停止する。

10 【0005】ここで、大容量テストベクトルバッファメモリ装置は、自身のテストベクトルバッファメモリ2の診断時以外の通常動作時においては、データバス13を介して送り込まれるデータをライトデータバッファ6にロードし、これをテストベクトルバッファメモリ2のアドレスポインタ3の示すアドレスにマルチプレクサ7を介して書き込む。テストベクトルバッファメモリ2に書き込まれたデータは読出バッファ8に読出してL S Iテストシステム20に送り出す。

20 【0006】テストベクトルバッファメモリ2の診断時は、診断制御部1から供給される診断用データをテストベクトルバッファメモリ2のテスト用アドレスポインタ4の指定するアドレスにマルチプレクサ7を介して書き込む。診断用データはテストベクトルバッファメモリ2から読出され、比較器9において診断制御部1から供給される期待値と比較される。読出された診断用データと期待値とが不一致の場合は不良フラグがセットされる。

【0007】

【発明が解決しようとする課題】ところで、テストベクトルバッファメモリ2の診断は比較的大きいメモリサイクルタイムで実施せざるを得ず、その容量は大容量であるところから全メモリセルを診断するには多大の時間を必要とすることになる。この発明は、大容量バッファメモリ2の全メモリセルの診断を高速に実施することができる上述の通りの問題を解消したL S Iテストシステム用大容量テストベクトルバッファメモリ装置を提供するものである。

【0008】

【課題を解決するための手段】複数ブロックに分割されたテストベクトルバッファメモリ2を具備し、データ用アドレスポインタ3を具備し、診断テスト用アドレスポインタ4を具備し、データ用アドレスポインタ3および診断テスト用アドレスポインタ4から送り出されるアドレスを切換えるマルチプレクサ5を具備し、マルチプレクサ5の出力は複数ブロックそれぞれのアドレス入力に共通に接続し、データおよび診断用データを切換えるマルチプレクサ7を具備し、マルチプレクサ7の出力は複数ブロックそれぞれのデータ入力に共通に接続し、複数ブロックそれぞれの出力に接続するパラレルシリアル変換器21を具備し、パラレルシリアル変換器21の出力をL S Iテストシステムに供給する読出しバッファ8を

3

具備し、パラレルシリアル変換器21の出力と期待値とを比較する比較器9を具備し、比較器9の出力に接続するシフトレジスタ23を具備することを特徴とするLSIテストシステム用大容量テストベクトルバッファメモリ装置。

【0009】

【実施例】この発明の実施例を図1を参照して説明する。図1において、1は診断制御部であり、2はLSIテストシステム用大容量テストベクトルバッファメモリである。テストベクトルバッファメモリ2は、図示される通り、8個のブロック2₀ないし2₇に分割して互いに同時に並列的に取扱われる。3はデータ用アドレスポインタであり、データをテストベクトルバッファメモリ2の各ブロック2₀ないし2₇に書き込む際のアドレスを指定するものである。4は診断テスト用アドレスポインタであり、診断制御部1により制御されて制御部から送り込まれる診断用データをテストベクトルバッファメモリ2の各ブロック2₀ないし2₇に書き込む際のアドレスを指定するものである。データ用アドレスポインタ3および診断テスト用アドレスポインタ4のアドレス信号はテストベクトルバッファメモリ2の各ブロック2₀ないし2₇に対してマルチプレクサ5により切換え供給される。ここで、マルチプレクサ5の出力はテストベクトルバッファメモリ2の各ブロック2₀ないし2₇の対応するアドレスを指定する。

【0010】13はデータバスであり、上述のデータをテストベクトルバッファメモリ2に送り込むためのものである。6はライトデータバッファであり、データバス13を介して送り込まれるデータはライトデータバッファ6に一時的に保持されてテストベクトルバッファメモリ2に送り込まれる。データバス13を介して送り込まれるデータおよび診断制御部1から送り込まれる診断用データはテストベクトルバッファメモリ2の各ブロック2₀ないし2₇に対してマルチプレクサ7により切換え供給される。ここで、マルチプレクサ7の出力は、テストベクトルバッファメモリ2の各ブロック2₀ないし2₇のデータ入力端子に共通に接続している。

【0011】20₀ないし20₇はラッチであり、それぞれバッファメモリ2の各ブロック2₀ないし2₇の出力を一時的に保持して出力するものである。21はマルチプレクサより成るパラレルシリアル変換器であり、ラッチ20のバラレル出力信号をシリアル信号に変換するものである。22は8進カウンタであり、そのクロック周期は50nSである。ところで、上述の診断制御部1のクロック周期はバッファメモリ2のサイクルタイムに相当する400nSに設定されているので、8進カウンタ22の50nSというクロック周期はサイクルタイムの8倍高速であるということになる。パラレルシリアル変換器21はこの8進カウンタにより50nSというクロック周期で歩進せしめられている。

4

【0012】9は排他的論理和回路より成る比較器であり、パラレルシリアル変換器21のシリアル出力と診断制御部1から供給される期待値とを順次に比較する。なお、12はタイミング調整用の微小遅延素子である。23は直列入力並列出力シフトレジスタであり、8段のフリップフロップ23₀ないし23₇より成り、50nSのクロック周期で動作する。このシフトレジスタ23の8段のフリップフロップ23₀ないし23₇にはバッファ10を介して送り込まれる排他的論理和回路9の出力が順次に入力され、バッファメモリ2の各ブロック2₀ないし2₇の内の何れにおいて不良が発生したかを示す。11は不良フラグレジスタであり、OR回路24を介してシフトレジスタ23のフリップフロップ各段から送り出される出力結果に基づいて、不良フラグを立てるものであり、これが立つと、診断停止信号を発生してこれを診断制御部1に供給し、診断動作を停止する。

【0013】ここで、テストベクトルバッファメモリ装置の動作について説明する。テストベクトルバッファメモリ装置は、自身のテストベクトルバッファメモリ2の診断時以外の通常動作時においては、データバス13を介して送り込まれるデータをライトデータバッファ6にロードし、これをテストベクトルバッファメモリ2の各ブロック2₀ないし2₇のアドレスポインタ3が指定する対応するアドレスにマルチプレクサ7を介して書き込む。テストベクトルバッファメモリ2の各ブロック2₀ないし2₇に書き込まれたデータは読み出され、それぞれのラッチ20₀ないし20₇に一時的に保持され、次いでパラレルシリアル変換器21に並列的に送り込まれ、シリアル変換される。パラレルシリアル変換器21のシリアル出力は読出バッファ8に読出してLSIテストシステム20に送り出される。

【0014】テストベクトルバッファメモリ2の診断時は診断制御部1から供給される診断用データをテストベクトルバッファメモリ2の各ブロック2₀ないし2₇のテスト用アドレスポインタ4が指定する対応するアドレスにマルチプレクサ7を介して書き込む。各ブロック2₀ないし2₇に書き込まれるデータは互いに同一のデータである。そのために期待値の発生は各ブロック2₀ないし2₇共通でよい。テストベクトルバッファメモリ2の各ブロック2₀ないし2₇に書き込まれた診断用データは読み出され、それぞれのラッチ20₀ないし20₇に一時的にラッチされ、次いでパラレルシリアル変換器21に並列的に送り込まれ、シリアル変換される。パラレルシリアル変換器21のシリアル出力は比較器9において診断制御部1から供給される期待値と比較される。比較結果は不一致のOR10を介してデータ方向の不一致のORがとられ、シフトレジスタ23のフリップフロップ各段に保存される。シフトレジスタ23の出力はOR回路24を介して8サイクル分の期待値との不一致のORがとられ、不良フラグレジスタ11に供給される。

6

ロック同時に実施し、出力結果をメモリの1サイクル内において8回の比較をする様にすることができる。この様にすることにより、診断時間を結局1/8に短縮することができる。

【図 1】 この発明の実施例を示す図。

【符号の説明】

2 テストベクトルバッファメモリ

3 データ用アドレスポインタ

4 診断テスト用アドレスポインタ

5 マルチプレクサ

7 マルチプレクサ

8 バッファ

9 比較器

21 パラレルシリアル変換器

23 シフトレジスタ

図 1

【図2】

